کنترل تپ چنجرهای زیربار

فرزاد غیاثی
شرکت مهندسی برق و الکترونیک کرمان تابلو

چکیده :

در این مقاله ، کنترل تپ چنجر ترانسفورمرهای فشار قوی زیر بار در حالات منفرد و موازی و همچنین در حالت موازی ، جریان سیرکولاسیون و ناپایداری در سیستم کنترل مورد بحث قرار گرفته و دو روش جهت پایدار نمودن این سیستم شرح داده شده است .

شرح مقاله :

یکی از اهداف اصلی سیستم توزیع انرژی الکتریکی کنترل ولتاژ تغذیه تجهیزات الکتریکی در ولتاژ نامی این تجهیزات میباشد . بدیهی است که امکان ارائه یک ولتاژ ثابت با توجه به قرارگیری مصرف کنندگان مختلف ، وجود ندارد بلکه ولتاژ باید در محدوده‌ای مطمئن کنترل شود .

از آنجا که جریان مصرفی در شبکه‌های توزیع در زمانهای مختلف متفاوت میباشد ، افت ولتاژهای حاصل شده و کنترل ولتاژ زیر بار ضروری میباشد.

در این مقاله ، به بحث در مورد یکی از روشهای کنترل و بررسی مشکلات آن و ارائه راه حلهائی میپردازیم.

روشها :

افت ولتاژ در شبکه با تدابیر مختلف جبران می گردد که می توان از ژنراتورهای رکولاتور ، ترانس‌های بوستر ، بانکهای خازنی ، اتوترانسفورمرها و رکولاتورهای اتوماتیک نام برد اما استفاده از روش کنترل تغییر تپ ترانسفورمرهای قدرت زیر بار یکی از متداولترین روشهای کنترل ولتاژ می‌باشد و به همین دلیل از سال ۱۹۲۵ تحت مطالعه و تحقیق قرار گرفته است.

۱- یک کنترلر منفرد :

این یکی از ساده‌ترین حالات کنترل است که در آن یک کنترلر (AVR) Automatic Voltage Regulator فقط به یک ترانس یا چند ترانس کاملا" مشابه که موازی شده‌اند و تپهای آنها هم در وضعیت مشابهی قرار دارند، فرمان می‌دهد.

هدف این است که ولتاژ طرف مصرف کننده ثابت باشد پس دو پارامتر ولتاژ خروجی ترانس و افت ولتاژ خط در تعیین موقعیت تپ چنجر نقش دارند . توسط P.T. و C.T. ضرائبی از ولتاژ و جریان خروجی از ترانس به ورودی AVR داده میشود. امپدانس خط انتقال تا مصرف کننده مقداری ثابت است و با تنظیماتی روی AVR مقدار آن را به دستگاه می دهند. بنابراین مدار می‌تواند افت ولتاژ اهمی UR و القائی UX خط را بدست آورده ، سپس با ولتاژ خروجی ترانس جمع برداری کرده و با توجه به حساسیت تنظیم شده دستور افزایش یا کاهش ولتاژ دهد . قبل از صدور این دستور چند مسئله باید در نظر گرفته شود از جمله اینکه در حال Over Voltage ، Under Voltage یا Over Load تپ تغییر نکند و به اصطلاح بلوکه گردد . مثلا" در حالت Over Load در صورتیکه تپ تغییر کند کنتاکتهای مربوطه بعلت جرقه شدید صدمه خواهند دید . یک تاخیر زمانی نیز جهت صدور دستور لازم است تا حالتهای گذرا و ناخواسته باعث تغییر تپ نگردند. این تاخیر به دو صورت می تواند باشد. یکی اینکه همواره مقداری ثابت بوده و دیگری اینکه اندازه آن رابطه معکوسی با انحراف ولتاژ از مقدار تعیین شده داشته باشد (Time Inverse).

۲- کنترلرهای موازی :

پس از بررسی اقتصادی ممکن است تصمیم گرفته شود که از گروه ترانسفورمرها بصورت موازی استفاده گردد . شرایطی که عمل موازی کردن ترانسها

به بهترین نحو ممکن انجام می‌شود به قرار زیر است :

الف - ولتاژ اولیه ترانسها و ولتاژ ثانویه آنها با یکدیگر مساوی باشد .

ب - ترانسها باید از یک گروه برداری باشند .

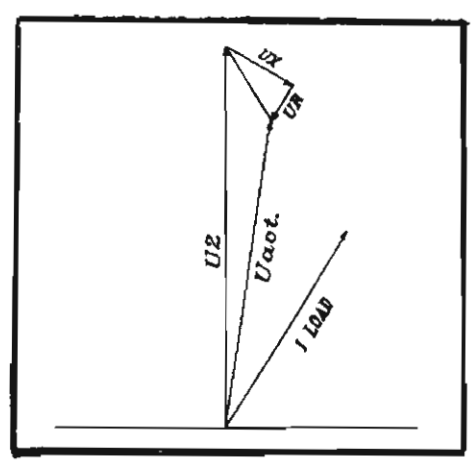
ج - مؤلفه اهمی و راکتیو ولتاژ امپدانس اتصال کوتاه (Impedance Voltage) کلیه ترانسها باید با هم برابر باشند .

در صورتیکه شرائط فوق برقرار باشد جریان کلیه ترانسها به نسبت قدرت نامی آنها می‌باشد و جریان بار کل جمع ساده جریان ترانسها با همدیگر میباشد. در عمل شرط (ب) باید کاملا" رعایت گردد و شرائط (الف و ج) می توانند تا حد مشخصی با هم متفاوت باشند که در عمل حالات مختلفی را بوجود می آورند .

حال به بررسی عمومی‌ترین حالت یعنی موازی نمودن ترانسهای کاملا" متشابه می‌پردازیم .

۱-۲- جریان سیرکولاسیون (گردشی) :

همانطور که می‌دانیم جهت جبران سازی افت ولتاژ در طول خط (از ترانس مورد نظر تا مصرف کننده) در AVR از سیستم Line Drop Compensation (L.D.C.) استفاده می‌شود. در شکل (۱) دیاگرام برداری جهت نشان دادن اثر L.D.C. رسم گردیده است که در آن U2 ولتاژ خروجی ترانس ، UX ، UR افت اهمی و سلفی خط انتقال و Uact ولتاژ در نقطه مصرف کننده و ولتاژ ورودی به سیستم AVR جهت مقایسه با ولتاژ منبع می‌باشد.



دیاگرام ۱

در اینجا می‌توان فرض نمود ترانس (۱ و ۲) بصورت پارالل با یکدیگر در مدار قرار دارند و هر دو دارای جریان مساوی می‌باشند و در نتیجه جریان سیر کولاسیون صفر است و دیاگرام فوق برای هر دو ترانس صادق است .

حال برای نشان دادن اثر جریانات گردشی فرض می‌کنیم یکی از ترانسها دارای ولتاژ بیشتری باشد مثلا" در اینجا فرض شده است که ترانس شماره (۱) دارای ولتاژ بیشتری باشد و در نتیجه این اختلاف ولتاژ مطابق شرح گذشته ، جریان گردشی بین دو ترانس بوجود می‌آید و بدین ترتیب جریان اندازه‌گیری شده توسط ترانس جریان مربوط به ترانس شماره یک I21= Iload1+Icir1 و جریان مربوط به ترانس شماره دو I22=Iload2+Icir2 خواهد بود ، اما باید توجه داشت که افت ولتاژ در طول خط فقط بر اثر جریان Load بوجود می آید ، ولی در سیستم AVR با داشتن L.D.C. مولفه‌های UR و UX متناسب با مقدار جریان اندازه‌گیری شده باشد . برای درک بهتر این مطلب در شکل (۲) اثر مولفه‌های UXload=X.Iload و URload = R.Iload و اثر مولفه‌های UXcir=X.Icir و URcir=R.Icir رسم شده‌اند. در این دیاگرام U2 ولتاژ خروجی ترانسفورماتورها برای هر دو ترانس به علت پارالل بودن یکی می‌باشد . چون Iload=Iload2 است اثر آنها بر روی A.V.R هر دو ترانس مشابه و به یک اندازه است و اما چون Icir1= -Icir2 است اثر این جریان بر روی AVR هر ترانس در جهت خلاف دیگری می‌باشد . حال برای بدست آوردن ولتاژ واقعی Uactual در هر AVR (منظور از ولتاژ واقعی ولتاژی است که از نظر AVR به دست مصرف کننده میرسد) ، مطابق دیاگرام (۲) میتوان روابط زیر را نوشت :

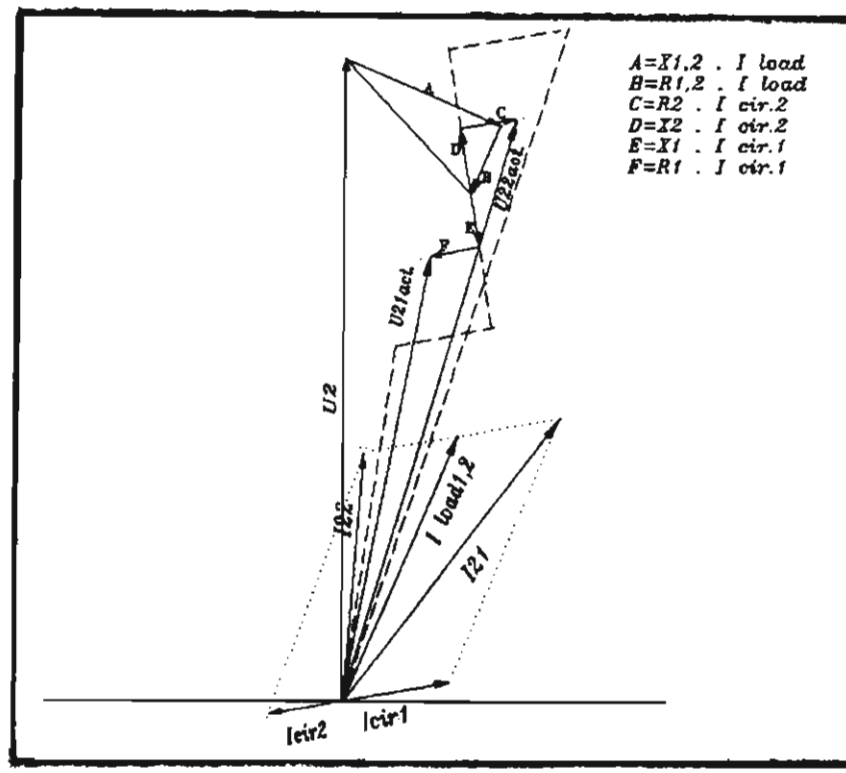
$$U21actual=U2-jx1.Iload-R1.Iload-jx1.Icir1-R1.Icir1$$
$$=U2-(jx1+R1)Iload-(jx1+R1)Icir1$$

و برای ترانس شماره (۲) مقدار ولتاژ واقعی برابر است با :

$U22actual = U2-(jx1+R1)Iload-(jx1+R1)Icir2$ اما با جایگزین نمودن $Icir2 = - Icir1$ خواهیم داشت :

$U22actual = U2-(jx1+R1)Iload+(jx1+R1)Icir1$ همانطور که مشاهده می‌شود اثر جریان گردشی در دو ترانس در جهت مخالف می‌باشد و اثر آن در ترانس شماره ۱ کاهنده می‌باشد یعنی AVR ترانس یک را ، به بیشتر نمودن ولتاژ هدایت مینماید . و اثر آن در ترانس شماره (۲) افزاینده می‌باشد یعنی AVR مربوطه ،

ترانس را به کاهش ولتاژ هدایت می‌نماید . در نتیجه ولتاژ دو ترانس بیشتر از هم دور خواهند شد و پی‌آمد آن جریان گردشی افزایش می‌یابد .



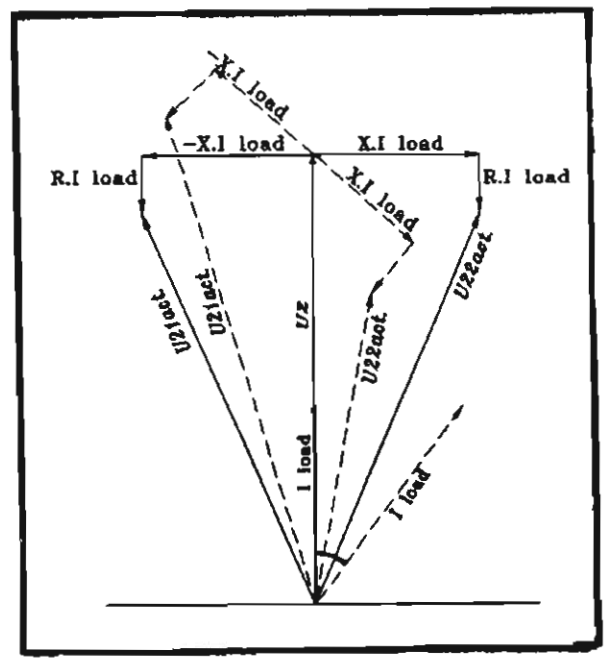
دیاگرام ۲

یا به بیان دیگر AVR ترانس شماره یک ولتاژ U21actual را باید با منبع مقایسه نماید و در AVR ترانس شماره (۲) ولتاژ U22actual با ولتاژ منبع مقایسه می‌گردد و از آنجائیکه مطابق دیاگرام (۲) مقدار U22actual>U21actual میباشد ، AVR مربوط به ترانس شماره (۲)فرمان کاهش ولتاژ و AVR مربوط به ترانس شماره (۱) فرمان افزایش ولتاژ را صادر خواهند نمود . یعنی ولتاژ ترانسها بیش از پیش از یکدیگر دور میشوند و پی آمد آن افزایش جریان گردشی می‌باشد . اثر افزایش جریان گردشی در دیاگرام فوق به صورت خط چین در ادامه X . UR مربوط به جریان و U21actual جدید با U22actual جدید نیز به صورت خط چین نشان داده شده است . همانطور که دیده می‌شود اختلاف U21actual جدید با U22actual جدید بیشتر از حالت قبلی است . در اثر جریان گردشی بیشتر این فرآیند بحدی ادامه پیدا می کند که ترانس شماره یک به ماکزیمم ولتاژ و ترانس شماره دو به مینیمم ولتاژ برسد (البته معمولا" قبل از رسیدن به این حالت

ترانسها توسط رله‌های حفاظتی از مدار خارج می‌شوند). برای جلوگیری از این پدیده دو راه حل ارائه می‌گردد :

۱-۱-۲- استفاده از روش Reverse-Reactance :

در این روش از UX با پلاریته منفی استفاده می شود . همانطور که در دیاگرام (۳) نشان داده شده است این روش در حالتی که ضریب قدرت بالا و تقریبا" ثابت باشد می تواند نتیجه خوبی داشته باشد .



دیاگرام ۳

جهت مقایسه استفاده از روش Reverse - Reactance در حالتی که Cosø=1 باشد و حالتی که خیلی کمتر از ۱ است . همانطور که دیده می‌شود در حالت دوم مقدار Uact بشدت تغییر یافته است. البته تذکر چند نکته در مورد تنظیم L.D.C در زمانیکه از روش Reverse - Reactance استفاده می شود ضروریست :

الف - از آنجائیکه تنظیم ولتاژ راکتیو (UX) بر روی (Stability) پایداری سیستم کنترل ولتاژ مؤثر است ، بهتر است تنظیم UX را از کمترین مقدار شروع نمود وسپس آنرا تا حدی افزایش داد که سیستم کنترل ولتاژ دچار عملکرد نوسانی نگردد (یعنی مرتب Tap را بالا و پائین نبرد) .

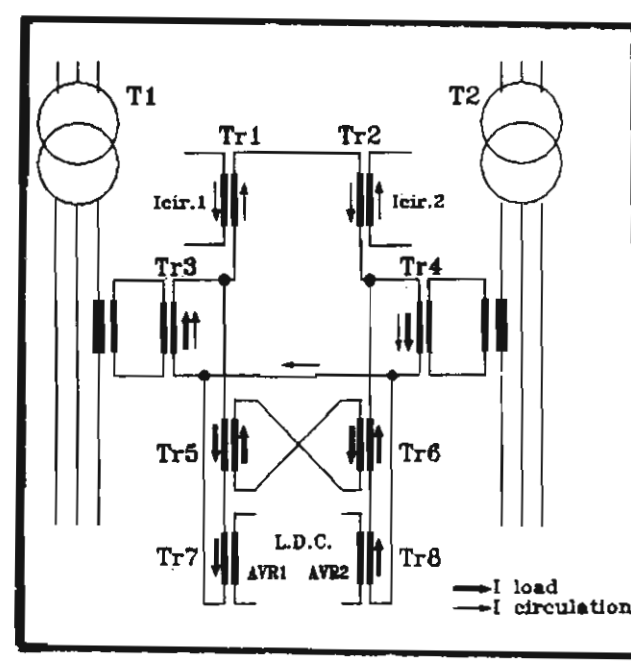
ب - عیب این روش این است که اثر افت ولتاژ خط را به طور صحیح منعکس نمی کند . این عیب را می توان با تغییر تنظیم به صورت استفاده از UR بیشتر و UX کمتر ، برطرف نمود .

اگر در یک سیستم کلیه اطلاعات مربوط به بار و خط و ترانسی در دست باشد ،می توان تنظیم L.D.C را از قبل محاسبه نمود ، در غیر اینصورت باید از روش سعی و خطا استفاده نمود .

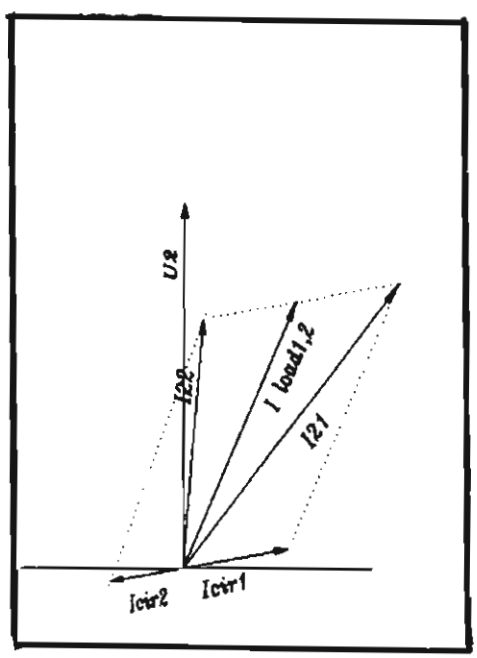
۲-۱-۲- روش جداسازی جریان سیر کولاسیون ترانسها (استفاده از کارت پارالل) :

مدار شکل (۴) بگونه‌ای طراحی شده است که می‌تواند در هر ترانس جریان بار را از جریان گردشی بین ترانسها تفکیک نماید از TRI تا TR8 همگی C.T های با نسبت تبدیل ۱ به ۱ فرض شده‌اند . همینگونه در دیاگرام برداری (۵) رابطه برداری این جریانها نمایش داده شده است .

خروجی TR1,2 به مدار کنترلر وصل می شود و آن مدار همواره سعی می کند وضعیت تپ ترانسها را بصورتی تغییر دهد تا این جریانها به حداقل مورد نظر برسند . از TR 5,6,7,8 فقط جریان بار می تواند عبور کند و خروجی دو C.T. آخر به بخش L.D.C مدار کنترلر AVR اعمال میگردد . امکان طرح مدارات پیچیده‌تری جهت موازی کردن بیش از دو ترانس نیز وجود دارد.



دیاگرام ۴



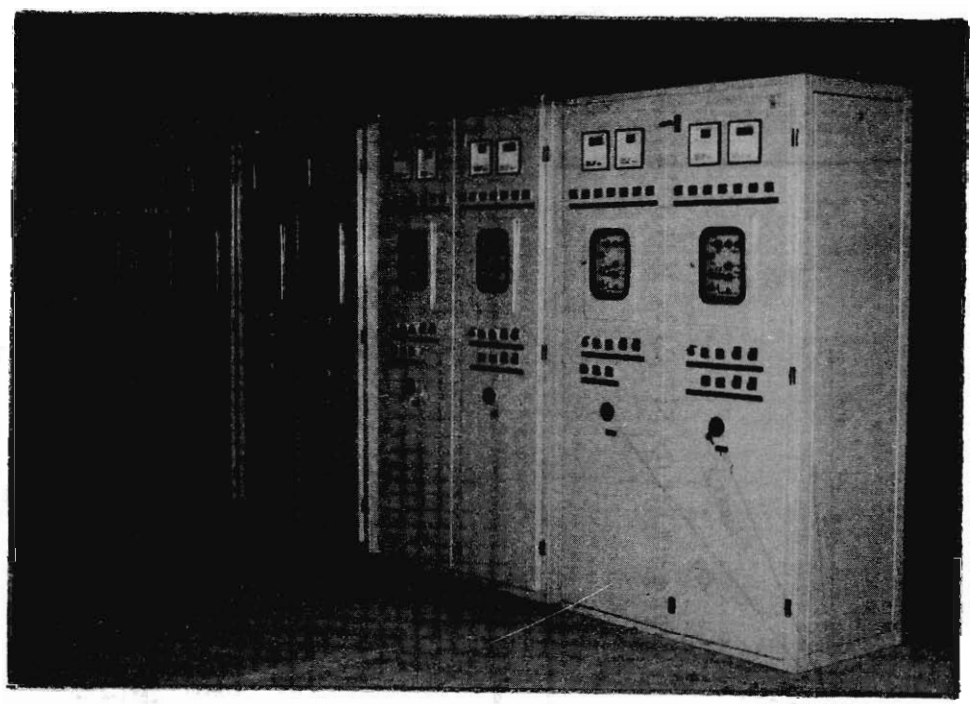
دیاگرام ۵

۳- نمونه عملی کنترلر ساخته شده :

پس از سالها تحقیقات روی طراحی و ساخت کنترلر فوق الذکر ، نمونه ساخته شده مورد آزمایش قرار گرفته که نتایج موفقیت آمیز بوده و اجازه تولید انبوه نیز یافته است.

مشخصات یک نمونه کنترلر الکترونیکی ساخته شده بشرح زیر میباشد :

زمان تاخیری از ۱۰ تا ۱۸۰ ثانیه به دو صورت ثابت و Time Inverse ، حساسیت از 0.6%- تا 6%+ ولتاژ نامی ، دارای بلوک L.D.C و کلیدهای انتخاب UX- و UR- بجای UX و UR خط، دارای مدار بلوکه کننده تپ در Under Voltage با قابلیت تنظیم از ۷۰ % تا ۹۰ % ولتاژ نامی سلکتور تنظیم ولتاژ اعمالی از P.T . به دستگاه جهت انواع P.T. ها با خروجیهای متفاوت .



نمونه ساخته شده تابلو کنترل تپ چنجر

نتیجه :

جهت ثابت نگاهداشتن ولتاژ طرف مصرف کننده همواره باید ولتاژ خروجی ترانس و افت ولتاژ خط انتقال را کنترل نمود . در ترانسهای موازی بعلت جریان گردشی ممکن است سیستم دچار عدم پایداری گردد که برای رفع این اشکال دو روش REVERSE REACTANCE و تفکیک جریان گردشی از بار وجود دارد . روش اول احتیاجی به تجهیزات اضافی ندارد ولی افت ولتاژ خط را بطور صحیح منعکس نمی کند در راه دوم جهت تفکیک جریانها احتیاج به کارت پارالل می باشد اما روش دقیقتری است .

منابع :

۱- اسناد و مدارک فنی تهیه شده در شرکت مهندسی برق والکترونیک کرمان تابلو

3- Distribution Systtems (WESTINGHOUSE)

4- Maschinenfabr Reinhausen (BA91-04/83 en)